

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

19 日本国特許庁 (JP)

11 特許出願公開

12 公開特許公報 (A)

昭59-91554

51 Int. Cl.³
G 06 F 9/38

識別記号

庁内整理番号
B 7218-5B

43 公開 昭和59年(1984)5月26日

発明の数 1
審査請求 未請求

(全 14 頁)

分岐方向予測を行なう命令先取り装置

東京都港区芝五丁目33番1号日
本電気株式会社内

①特 願 昭57-201559

⑦発 明 者 仁後公衛門

②出 願 昭57(1982)11月17日

東京都港区芝五丁目33番1号日

③発 明 者 菅谷律雄

本電気株式会社内

東京都港区芝五丁目33番1号日
本電気株式会社内

⑦発 明 者 渋谷俊輝

東京都港区芝五丁目33番1号日

④発 明 者 花谷修一

本電気株式会社内

東京都港区芝五丁目33番1号日
本電気株式会社内

⑧出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

⑤発 明 者 赤木正信

⑨代 理 人 弁理士 内原晋

明 細 書

発明の名称

分岐方向予測を行なう命令先取り装置

特許請求の範囲

分岐命令のアドレスを指定する情報と該分岐命令に対応する分岐方向及び分岐先アドレスを含んだ分岐情報とを対にして複数対記憶する分岐ヒストリテーブル手段と、

命令先取りにおいて先取りされるべき分岐命令のアドレスを指定する情報が前記ヒストリテーブル手段に登録されているか否かを調べ該分岐命令の登録の判明に回答して前記分岐ヒストリテーブルから対応する分岐情報を読み出す手段と、

該分岐情報に従い命令の先取り動作を実施する命令先取り制御手段と、

命令実行装置で実行された分岐命令の分岐方向の結果と該分岐命令の分岐ヒストリテーブルの分岐方向情報とを比較し、該分岐命令の分岐方向が

正しく予測されたか否かを確認する手段と、

前記確認手段により分岐命令の分岐方向予測が間違っていると判定された場合は、該分岐命令の正しい後続命令を取り出して実行する手段と、

前記分岐命令の実行結果で前記分岐ヒストリテーブル手段中の分岐情報を更新する手段とを備えたことを特徴とする分岐方向予測を行なう命令先取り装置。

発明の詳細な説明

発明の属する技術分野

本発明はデータ処理システムの命令シーケンスのステップに含まれる分岐条件判定ステップ実行処理に先立って判定結果を予測しつつ次の命令の先取りを行なう分岐方向予測を行なう命令先取り装置に関する。

従来技術

少なくとも1個の分岐命令を含む命令群が記憶装置に命令シーケンスの形で格納されているデータ処理システムにおいては、このような命令シー

ケンスの実行は、次のように行なわれる。

まず、前記記憶装置の分岐元アドレスに分岐命令が格納される。次に、この分岐命令に引き続いて実行される命令が先取りされる。このあと、分岐命令が実行され、この実行結果により次に実行される命令が明らかになる。このようなシステムは米国特許4200927号に提案されている。しかし、このシステムでは、分岐命令先取り制御において実行結果の判別時まで命令先取り制御を停止させると、処理の迅速化が妨げられる。この点の除去のため、分岐命令の実行結果を予め予測しこの予測に従って命令先取りを行なう方式が提案されている。この予測が正しく行なわれたときには、データ処理システムは処理時間の少ない遅れで稼働する。例えば、そのような従来の予測方式としては次の3つの方式がある。第1の予測方式では、全ての分岐命令の分岐先方向が成功側または不成功側のいずれか一方のみに予測されている。他の1つの予測方式では、過去の事実に基づいて分岐先方向を予測する。すなわち、同じ分岐命令

なされるべきブロックのアドレスとして記憶手段に保持している。命令先取り動作において、命令キャッシュメモリへのアクセスと同時に前記記憶手段をアクセスして前記分岐先アドレスを脱出し、読み出された分岐先アドレスにより先取りすべき命令のアドレスを決定している点において、この方式は上述の従来の3つの予測方式と異なり処理の迅速化に有効である。しかし、この方式では、命令キャッシュメモリのブロック対応で予測するため、該ブロックに分岐命令が複数個存在するときにはそのそれぞれの分岐命令に対応して予測を行なうことができない。この結果、精度の低い予測の中率しか得られないという欠点がある。

発明の目的

本発明の目的は上述の欠点を除去するようにした分岐方向予測を行なう命令先取り装置を提供することにある。

発明の構成

本発明の装置は、分岐命令のアドレスを指定する

の過去の実行結果において分岐先がすでに明らかにされているという事実を用いてこの結果に基づいて予測を行なうことにより予測的中率を高めている。このような予測方式の代表例が特開昭53-76638号公報に示されている。

さらにもう1つの予測方式では、分岐命令に対応して分岐の方向を予測する分岐指示フラグを多数用意し分岐命令の発生に回答してこれら分岐指示フラグを参照することにより分岐先を予測している。この例の詳細は特開昭53-74857号公報を参照できる。しかし、上述の3つのいずれの予測方式においても分岐命令の脱出し、解説が必要不可欠であり、予測途中にもかかわらずこれらの脱出しおよび解説動作分だけ処理が遅れるという欠点がある。

この欠点を除去する予測方式が特開昭57-59253号公報に示されている。この方式では、主記憶装置の命令部の写しである命令キャッシュメモリのブロックに対応して該ブロック中に含まれる分岐命令の分岐先アドレスを、該ブロックの次のウェッ

情報と、該分岐命令に対応する分岐方向及び分岐先アドレスを含む分岐情報とを対にして複数記憶する分岐ヒストリテーブル手段を設け、命令先取り動作を行なう際に先取りされるべき分岐命令のアドレスを指定する情報が、前記分岐ヒストリテーブルに登録されているか否かを調べ、該分岐命令の登録の判明に回答して対応する分岐情報を前記分岐ヒストリテーブルから読み出し、該分岐情報に従い、分岐命令の解説を行なうことなく命令先取り動作を開始するように制御することにより予測の中時にはロスサイクルを生じることなく命令供給を可能とする。さらに、命令実行装置で実行された分岐命令の分岐方向の結果と、該分岐命令の分岐ヒストリテーブルの分岐方向情報とを比較する該分岐命令の分岐方向が正しく予測されたことを確認する手段により分岐命令の分岐予測が間違っていると判定された場合は該分岐命令の正しい後続命令を取り出し実行する手段および分岐命令の実行結果で前記分岐ヒストリテーブル中の分岐情報を更新する手段を備えている。

発明の原理と作用

本発明の特徴は分岐命令の実行における分岐方向に加えて分岐先アドレスがその同じ分岐命令の過去の結果の把握により比較的高い中率で予測可能であるという事実に基づいて装置が動作することにある。

発明の実施例

次に本発明の一実施例を図面を参照して詳細に説明する。第1図を参照すると、本発明の一実施例は、命令アドレス生成回路401、命令アドレス変換回路402、命令解読回路403、オペランドアドレス生成回路404、オペランドアドレス変換回路405、オペランド記憶回路を有するオペランド読出し回路406、命令実行回路407、命令記憶回路408、命令バッファ409、分岐ヒストリテーブル(BHT)410、命令アドレスレジスタ411、命令アドレス加算回路412、分岐情報バッファ413、命令整列回路414、分岐情報切換回路415、分岐情報レジスタ416、

命令の実行の予測としての分岐成否フラグと分岐先アドレスを第3図に示すように対にして記憶している。前記命令記憶回路408に対する前記命令アドレスレジスタ(IA R)411は、命令読出しのリクエストアドレスを保持して命令の読出し動作を実行する。さらに前記命令アドレスレジスタ411(IA R)は分岐ヒストリテーブル410(BHT)および命令アドレス加算回路412に信号線101を介して接続されている。前記レジスタ411の内容は該分岐ヒストリテーブル410(BHT)を索引し、読出されるべき命令のアドレスがそれに登録されているか否かを示す信号を信号線106に出力する。登録されていれば対応する分岐先アドレスが信号線105に読出される。登録されていなければ前記命令アドレス加算回路412により後続の命令語の命令先取りのためのアドレスが生成される。前記命令アドレス加算回路412は1回のリクエストで読出される命令語を8 Byteと仮定したとき単に"IA R + 8"を出力107に生成する回路である。前記命令バッ

417、418、および419、予測解読回路420、アドレス生成回路421、選択回路422、レジスタ423、命令先取り制御回路424およびフリップフロップ425から構成されている。

命令記憶回路408およびオペランド読出し回路406内のオペランド記憶回路はともに主記憶装置そのものであってもよく、さらに命令記憶回路408が主記憶装置の命令部の一部の写しである命令キャッシュメモリ、前記オペランド記憶回路が主記憶装置のオペランド部の写しであるオペランドキャッシュメモリとして構成されうる。

本発明は前述の命令の処理単位に対応した装置構成を必ずしも有する必要はなく、例えば命令アドレス生成回路401とオペランドアドレス生成回路404、命令アドレス変換回路402とオペランドアドレス変換回路405、命令記憶回路408とオペランド読出し回路406内の記憶回路が共用されたコンピュータシステムにおいても適用され得る。前記分岐ヒストリテーブル(BHT)410は分岐命令のアドレスを指定する情報と該分岐命

語409は、命令記憶回路408から読出された8 Byteの先取り命令語を蓄積し命令処理部への命令の供給における待行列(Queue)を形成する。前記命令整列回路414は、命令バッファ409が空のとき信号線102を介して命令記憶回路408から読出される8 Byteの命令語に反応して前記命令バッファ409が空でないとき信号線103を介して前記命令バッファに貯えられる8 Byteの命令語に反応して命令を抽出して信号線104を介して命令解読回路403に命令を供給する回路である。前記分岐情報バッファ413は、前記命令バッファ409に格納される命令語に対応して用意されており、その命令語中に分岐成功と予測された分岐命令が存在すれば、第7図に示す該分岐命令の分岐情報を格納する回路であり、分岐命令のアドレスは信号線101を介してまた分岐情報としての分岐先アドレスおよびVビットは分岐ヒストリテーブル410(BHT)から信号線105を介してそれぞれセットされる。前記分岐情報切換回路415は、命令バッファ409

が空のとき信号線101および105を介して与えられる前記分岐情報を、そうでないときは前記分岐情報バッファ403を介して与えられる前記分岐情報をそれぞれ出力する。前記レジスタ416、417、および418はそれぞれ分岐命令の命令解釈、命令アドレス生成、アドレス変換の各処理ステージに対応し、その分岐情報を保持する。前記分岐情報レジスタ419はその分岐先アドレス部を該分岐命令の実行によって生成される実際の分岐先アドレスに置き換えて保持するレジスタである。前記予測確認回路420は分岐命令の実行によって生成される実際の分岐命令の生成結果と前記分岐情報レジスタ418に保持される該分岐命令の予測情報との一致をとる回路である。前記アドレス生成回路421は前記分岐情報レジスタ419に保持される分岐命令のアドレスと該分岐命令自身の命令語長とを加算し分岐NOGO側の命令の命令アドレスを生成する。前記選択回路422は分岐命令の成否信号線111の状態に反応して該信号線の状態が分岐GOを示すとき線115を

介して与えられる前記分岐情報レジスタ419に保持される分岐先アドレス部の出力を選択し、前記線の状態が分岐NOGOを示すとき線116を介して与えられる前記アドレス生成回路421の出力を選択し、信号線113を介して該選択回路422の出力をレジスタ423に供給する。前記レジスタ423は分岐命令の予測が失敗したとき分岐ヒストリテーブル410(BHT)を更新するためのものであり、さらに信号線117を介して命令アドレスレジスタ411(IAR)に命令先取りのための新たなアドレスを供給する。前記命令先取り制御回路424は線106を介して分岐ヒストリテーブル410(BHT)から与えられる分岐予測信号および予測確認回路から線112を介して与えられる予測成否信号に基づいて命令アドレスレジスタ411(IAR)の入力を制御する回路である。

次に前記分岐ヒストリテーブル410(BHT)、前記予測確認回路420および前記命令先取り制御回路424の詳細なブロック図とタイムチャ-

ートを参照しながら本実施例の動作を詳細に説明する。

第2図を参照すると、前記分岐ヒストリテーブル410(BHT)は、ディレクトリ記憶部501、データ記憶部502、テスト回路503、504、505、および506、プライオリティ回路507、レベル選択回路508、および第3回路509を備えている。前記記憶部501および502は、1回のリクエストに対して命令記憶回路408から読出される命令語の単位をブロックの単位とし、セット数m、レベル数nの記憶部である。

第3図を参照すると、記憶部501には分岐命令の命令アドレスの一部とその内容が有効か否かを示すVビットが格納され記憶部502には、分岐先アドレスの実アドレスが格納されている。前記Vビットは対応する分岐ヒストリテーブル(BHT)410のワードの有効性を示すと同時に、該分岐命令の実行の予測としての分岐成否フラグの機能を有する。この分岐ヒストリテーブル(BHT)410への索引は以下のようなセットアソシアティ

ブ法によって行われる。

第5図に示される前記テスト回路503、504、505、および506はテーブル410の各レベルに対応して命令アドレスレジスタ411(IAR)に保持されるリクエストアドレスが各レベルのBHT-AAi(iはレベルに対応するサフィックスを示す)に登録されているか否かを示す信号を信号線130、131、132、133に出力する。

第4図を参照すると前記テスト回路503、504、505および506のそれぞれは、一致回路701および大小比較回路702から構成されている。前記比較回路701では、命令アドレスレジスタ(IAR)411に保持されるリクエストアドレスの一部IAR(:18-28)をセットアドレスとして読出された記憶部501の各レベルの内容とを読出せしめ前記レジスタ411の内容IAR(:4-17)とが比較され、等しいアドレスが存在するか否かを検出する。該一致回路701の出力により命令アドレスレジスタ(IAR)411に保持されるリクエストアドレスで読出されるべき命令語の8 Byteブロック

中にすでに分岐ヒストリテーブル (BHT) 410に登録された分岐命令が存在するか否かが、判別する。しかしリクエストアドレスとそれが読出すべき分岐命令との対応をとるには上記一致検出のみでは不十分である。

第5図を参照すると、1回のリクエストで読出される8 Byteの命令語のブロック中に2 Byte命令BC0、A、BC1、BC2の4個の命令が存在する。命令BC0、BC1、BC2がともに分岐成功と予測された分岐命令であるときには、各々の分岐命令はともにそのアドレスの一部が記憶部 (BHT-AA) 501に登録される。このとき他の分岐命令から命令Aに分岐して命令Aのアドレス<A>が前記命令語のブロックを読出すためのリクエストアドレスとして命令アドレスレジスタ (IAR) 411に保持されるときには、分岐ヒストリテーブル (BHT) 410から読出されるべき分岐命令の情報は命令の実行の経路から分岐命令BC1の情報でなければならない。

従って前記レジスタ (IAR) 411に保持される

リクエストアドレスと前記記憶部 (BHT-AAi) 501に保持される分岐命令のアドレスとの関係が上記の一致条件とともに次の関係が成立するとき対応するレベルのBHT-HITi値が生成される。この値は130-133を介して第3回路509に与えられ、該BHT-HITi値のオフセットが106を介して出力され分岐予測値 (BHT-HIT信号) となる。

$$\begin{aligned} \text{BHT-HITi} &= (\text{IAR}(:4-17) = \text{BHT-AAi}(:4-17)) \\ &\quad \cap (\text{IAR}(:2930) \leq \text{BHT-AAi}(:2930)) \\ &\quad \cap \text{BHT-AAi}(V) \end{aligned}$$

再び第4図を参照すると、前記大小比較回路は、この条件を実現する回路である。さらに前記信号BHT-HITiの条件が2ヶ以上のレベルにおいて成立したとき記憶部501の対応するレベル (BHT-AAi) に保持される分岐命令のアドレス8 Byteブロック内アドレスBHT-AAi(:2930)の値の最も小さいレベルが選択される必要がある。

再び第5図を参照すると、命令BC1およびBC2の分岐命令関係情報が格納される分岐ヒスト

リテーブル410のレベルで前記信号BHT-HITi条件が共に成立する。このとき命令の実行の経路から命令BC1に対するレベルが選択される必要がある。前記プライオリティ回路507は、前記信号BHT-HITiの2ヶ以上の成立に対するものであり、この出力により記憶部BHT-DA502のセットアドレスIAR(:18-28)で示されるエントリの分岐先アドレスがレベル選択回路508を介して読出される。

第6図を参照すると、前記プライオリティ回路507はアンド回路群601-604および第3回路群605-608から構成されている。前記アンド回路群601-604はn+1個並列に配設されている。前記第2図におけるレベル選択回路508のnヶのレベルの選択信号は第6図における信号V0、V1、V2、V3により以下のように与えられる。

$$\begin{aligned} V0 \text{ のとき} & \quad V0L \quad V0L1 \quad \dots \quad V0Ln \\ V0 \cdot V1 \text{ のとき} & \quad V1L \quad V1L1 \quad \dots \quad V1Ln \\ V0 \cdot V1 \cdot V2 \text{ のとき} & \quad V2L \quad V2L1 \quad \dots \quad V2Ln \\ V0 \cdot V1 \cdot V2 \cdot V3 \text{ のとき} & \quad V3L \quad V3L1 \quad \dots \quad V3Ln \end{aligned}$$

以上のようにして第2図におけるレベル選択回路508から読出された分岐情報は第1図の命令記憶回路408から読出される命令と対応づけることが可能である。

第9図には、命令記憶回路408における命令と分岐ヒストリテーブル (BHT) 410における分岐情報の上記対応関係が示されている。命令の実行順序が命令A₀、分岐命令BC₀、B₁、BC₁、B₂、B₃、BC₂、C₁、C₂……と予測された場合である。なお、<A>はA命令のアドレスを、BC_iは分岐命令をそれぞれ示す。

第10図を参照すると、前記第9図のに示した分岐ヒストリテーブルBHT410による命令先取り動作は次のようにされる。リクエストアドレスの命令アドレスレジスタ411のセットに反応して命令記憶回路408から命令語が読出され、これと同時にテーブルBHT410が索引される。信号線106を介してBHT-HIT信号が出力されると記憶部BHT-DA502の分岐先アドレス<B₁>がアドレスレジスタ411にセットされ、次の命令先

取りが行われる。前記信号線106を介してBHT-HIT信号が出力されないときには命令アドレス加算回路412に命令Aの8バイト¹⁰命令アドレス<A>が与えられ、「8」加算されたアドレスが出力され、次の命令先取りが逐次行われる。

以上の命令の先取りに従えば命令記憶回路408から読出される命令語は、テーブルBHT410の内容による予測に従って順次読出され、命令バッファ409には予測された命令の実行順に格納することが可能である。

このときとえ信号BHT-HITが出力されても分岐予測方向と反対側の命令先取り動作を一部行わせしめた後に分岐予測方向の命令先取り動作を行ってもよい。

以上のようにして命令先取りされた命令が分岐命令で第1図の命令整列回路414により、命令解読回路403に導かれたとき同時に該分岐命令に対応する分岐情報が最初の分岐情報レジスタ416(QR₀)にセットされる。

以降前記分岐命令の進行に伴い前記命令解読、

れたときこの事実を示す信号がフリップフロップ802にセットされる。このフリップフロップ802の出力が“1”で実際の分岐命令を実行した結果が分岐NOGOであればアンド回路805から予測GO失敗信号123が生成される。前記フリップフロップ801の出力が“1”で分岐命令の実行結果がGOであればアンド回路804から予測NOGO失敗信号124が生成される。さらに該信号124と前記予測GO失敗信号123との論理和が¹¹第3回路809から予測失敗信号112として生成される。

第1図および第11図を参照すると、分岐情報レジスタ419(QR₃)の分岐先アドレス部には前記命令アドレス変換回路402から新たに生成される分岐先アドレスがセットされる。また前記分岐情報レジスタ419(QR₃)の分岐命令BC₁のアドレス部の内容と該分岐命令BC₁自身の命令語長部の内容とがアドレス生成回路421により加算され分岐NOGO側の命令の命令アドレスが生成される。

そして分岐命令BC₁の実際の実行により分岐

アドレス変換に対応して前記分岐情報が第2および第3の分岐情報レジスタ417(QR₁)および418(QR₂)に転送される。そして前記分岐命令の実行によって生成される実際の分岐命令の生成結果と前記分岐情報レジスタ418(QR₂)に保持される該分岐命令の予測情報との一致が予測確認回路420によりチェックされる。

第8図を参照すると、前記予測確認回路420は比較回路801、フリップフロップ802および803、アンド回路804-806、真偽回路807および808、および¹²第5回路809から構成されている。

前記比較回路801には、分岐命令の実行により生成された分岐先アドレスの実アドレスが命令アドレス変換回路402から信号線109を介して与えられるとともに、分岐情報レジスタ418(QR₂)から予測された分岐先が線108を介して与えられる。前記比較回路801では両者の一致、不一致が判定される。判定結果と前記レジスタ418を介して与えられるVビットがアンド回路806に与えられる。論理積結果により分岐GOと予測さ

GOならば前記分岐情報レジスタ419(QR₃)から線115を介して与えられる分岐先アドレス部の出力<D₁>が分岐NOGOならば線116を介して与えられる前記アドレス生成回路421の出力<D₂>が選択回路422により選択される。前記分岐命令BC₁の予測失敗信号112が予測確認回路421から発生したとき、該選択回路422の出力<D₁>が線113を介してレジスタ423(WR)にセットされる。

一方分岐情報レジスタ419(QR₃)の分岐命令のアドレス<BC₁>は信号線114を介して命令アドレスレジスタ411(IAR)にセットされる。このアドレスは該分岐命令に対応する分岐ヒストリテーブル410(BHT)の更新のため線101を介して該テーブル410にライトアドレスとして供給される。前記予測失敗信号112の出力がフリップフロップ425に与えられ、この出力が指信号として線119を介してテーブル401に与えられる。この出力に基き分岐命令の次の命令先取り時のための分岐予測情報の更新が行われる。この

更新は本実施例では予測NOGO失敗のとき前記レジスタ423(WR)に保持される新たな分岐先アドレスで行なわれ、予測GO失敗のときはVビットをリセットするように行われるが分岐予測情報の更新におけるアルゴリズムを用いて他の方法により行なって差しつかえない。予測失敗したとき予測側に後続する命令の動作はすべてキャンセルされ、前記レジスタ423(WR)に保持される新たなリクエストアドレスが分岐ヒストリテーブル410

(BHT)の更新後に命令アドレスレジスタ411(IAR)に供給され改めて命令の取出しが行始される。

第12図を参照すると、前記命令先取り制御回路424はフリップフロップ1201、真偽回路1202-1204およびアンド回路1205から構成されている。前記フリップフロップ1201は前記予測失敗信号112を1マシンサイクル保持するためのフリップフロップである。この回路424の出力はアドレスレジスタ411の前段にあるセクタの選択指示信号となる。この選択指示信号は、前記命

ドレス変換回路(IT)402から行うように制御すればよい。

ここで問題となるのは、あらたに分岐ヒストリテーブルBHT410に前記命令アドレス情報を登録するとき既存のどの部分に格納された命令アドレス情報を追い出すかである。

この方法としては使われた順序、すなわち最も古く使われたものから順に追い出す法LRU(Least Recently Used)情報が入った順序、すなわち最も古く入ったものから順に追い出す方法FIFO(First In First Out)等があるが、どちらを用いてもよい。

発明の効果

次に本発明の効果を第13図から第17図を参照しながら詳細に説明する。

第13図を参照すると、命令の処理は一般的に次の8つの処理単位に分けられる。

- (1) IAステージ：実行すべき命令の命令アドレス(論理アドレス)が生

成される。命令アドレス加算回路412の出力、前記レジスタ423の出力、前記テーブル410の出力、および分岐情報レジスタ419の出力のうちのどれを選択するかを指示するための信号である。なお、この命令先取り制御回路424の制御により分岐予測が的中したときには後述する第16図の命令処理が行なわれ、分岐予測が失敗したときには後述する第17図の命令処理が行なわれる。前記アドレス加算回路11は線106を介してBHT-HIT信号が出力されないとき分岐NOGO側の命令の先取りを行うためのアドレス生成を行う。このときアドレスは実アドレスで加算が行われるために、例えば、ページングを行うコンピュータシステムにおいて前記アドレス加算がページ境界を越えた場合アドレス変換を改めてやり直す必要が生じる。このために前記命令アドレス加算回路11にページ境界越え検出回路を設け、該検出回路によりページ境界越えが生じた場合、信号線L11により、命令アドレス生成回路1を起動し、命令先取り動作を改めて命令アドレス生成回路(IA)401及び命令ア

成される。

- (2) ITステージ：生成された命令アドレスのアドレス変換が行われる。
- (3) ICステージ：変換された命令の実アドレスで記憶装置から命令が読出される。
- (4) IUステージ：読出された命令が解釈される。
- (5) OAステージ：解釈された命令のオペランドアドレス(論理アドレス)が生成される。
- (6) OAステージ：生成されたオペランドアドレスのアドレス変換が行われる。
- (7) OCステージ：変換されたオペランドの実アドレスで記憶装置からオペランドが読出される。
- (8) EXステージ：命令が実行される。

上述のITステージおよびIUステージのアドレス変換においてアドレス変換バッファを設け、必

要な変換テーブルが該アドレス変換バッファに存在すれば上記アドレス変換処理は高速に実行し得る。また、上述のICステージおよびOCステージの命令およびオペランドの読出し動作において主記憶装置のデータの一部の写しを保持するキャッシュメモリを設け、必要な命令およびオペランドが該キャッシュメモリに存在すればICステージおよびOCステージの処理は高速に行いうる。情報処理システムは上述の各処理単位に対応したリザースを必ずしも有する必要はない。しかし、説明の簡単のためにここでは各処理単位にその機能を果たす回路があるものとする。上述のIT, OTおよびIC, OCの各ステージの高速処理が可能なとき複数の命令の処理の流れを無駄なく実行する8段のパイプライン制御が可能である。

このときの分岐命令を含む命令の処理の流れを第14図および第15図を参照しながら説明する。

第14図は分岐命令の命令先取りにおいて前述のすべての分岐は“GO”であると予測した場合の命令の処理の流れを示す。すなわち、命令AO

サイクルは

$$3 \times r + 3 \times (1 - r) = 3 \text{ サイクル}$$

である。

一方第15図は分岐命令の命令先取りにおいて、前述の同じ分岐命令の過去の結果に基づいて予測を行った場合の命令の処理の流れを示す。すなわち、分岐命令BCは、時刻14において解読されるとともに分岐命令のアドレステーブルを探索しその有無によるかもしくは分岐指示フラグの指示の予測により、分岐GO側の命令B₁を先取りするか分岐NOGO側の命令A₁を先取りするかを決定する。前回と同様に時刻12, 13, および14には分岐NOGO側の後続命令A₁, A₂, およびA₃の命令先取りのためのアドレス生成が開始される。時刻16, および17には予測による命令先取りの後続命令B₁およびB₂もしくはA₄およびA₅の命令のアドレス生成が開始される。時刻17において分岐条件の判定結果により時刻18以降は正しい命令の処理の流れに従って処理が継続される。

この場合分岐命令の出現によるパイプラインの

は分岐命令BCの分岐条件を決定する。命令で分岐条件は命令AOの実行結果、すなわち、時刻17において決定される。分岐命令BCは時刻14において解読されると命令アドレスの生成回路を用いて分岐先命令B₁のアドレスを生成し以後B₁命令を先取りするように動作する。時刻12, 13, および14には分岐NOGO側の後続命令A₁, A₂, およびA₃の命令先取りのためのアドレス生成が開始される。時刻16および17には予測動作としての分岐GO側の後続命令B₂およびB₃の命令先取り動作が開始される。時刻17において分岐条件の判定結果により、時刻18以降は正しい命令の処理の流れに従って処理が継続される。

この場合、分岐命令の出現によるパイプラインのロスサイクルは

予測的中(分岐GO)のとき 3サイクル

予測失敗(分岐NOGO)のとき 3サイクル

である。

分岐GO率 r 予測的中率 α としたときこの場合 $\alpha = r = 0.5$ であり1分岐命令当り平均的なロス

ロスサイクルは

分岐GOと予測して的中したとき 3サイクル

分岐NOGOと予測して的中したとき 0サイクル

分岐GOと予測して失敗したとき 3サイクル

分岐NOGOと予測して失敗したとき 6サイクル

である。従って、分岐GO率 $r = 0.5$ 予測的中率 $\alpha = 0.8$ と仮定したとき1分岐命令当りの平均的なロスサイクルは

$$3 \cdot r \cdot \alpha + 0 \cdot (1-r) \alpha + 3r(1-\alpha) + 6(1-r)(1-\alpha) = 2.1 \text{ サイクル}$$

を得る。

従ってこの従来の発明は同じ分岐命令の過去の結果に基づいて予測を行った場合高い予測的中率を得るという原理を用いることにより常に分岐GOと予測する第14図に示す処理に比べ幾分の改良がみられる。しかし、この改良された発明においても、たとえ予測的中時分岐GOの場合は依然として3サイクルのロスサイクルを要することになり、これ以上短縮できない。従って分岐命令が生じた場合たとえ予測的中してもロスサイクルを

生じることになる。

第16図および第17図は本発明による命令の処理の流れを示している。本発明における命令の処理単位ICステージは命令を記憶装置から読出す機能の他に、分岐ヒストリテーブルを索引し読出される命令のアドレスが該分岐ヒストリテーブルに登録されているか否かを検出し、登録されていれば対応する分岐情報を読出し、登録されていなければ後続命令の命令先取りのためのアドレスを生成する機能を有する。

第16図および第17図を参照すると、分岐命令BCの時刻 t_1 における動作は次のようにして行なわれる。まず、該分岐命令BCが命令キャッシュメモリから読出されると同時に分岐ヒストリテーブルが索引される。該分岐命令BCの命令アドレスが登録されていれば対応する分岐情報が読出される。該分岐情報を分析した結果、分岐00側の予測として該分岐情報中に含まれる分岐先アドレスにより分岐先命令 B_1 の命令先取りを開始するか、もしくは分岐NOGU側の予測として分岐

NOGU側の命令 A_1 の命令アドレスを生成して命令 A_1 の先取りを開始するかが決定される。以時時刻 t_3 までは前記分岐命令BCの予測期間であり、予測期間の後続命令が先取りされ時刻 t_5 において分岐条件が決定される。予測の中時には第16図に示すようにパイプラインの流れは乱れを生ずることなく処理が継続される。予測失敗時には第17図に示すように t_6 時刻で前記分岐ヒストリテーブルの更新を行った後に正しい命令の流れから命令の取出しを行うように制御される。この場合、分岐命令の出現によるパイプラインのロスサイクルは

予測が的中したとき 0 サイクル

予測が失敗したとき 5 サイクル

である。予測的中率 α は、この場合分岐方向だけでなく分岐先アドレスをも予測することから分岐方向だけの予測に比べ若干低くなるが、その割合は微々たるものである。従って、予測的中率 $\alpha = 0.8$ として1分岐命令当りの平均的なロスサイクルは

$$0 \cdot \alpha + 5 \cdot (1 - \alpha) = 1 \text{ サイクル}$$

となり、従来技術に比べて格段に改良される。

本発明には分岐ヒストリテーブルに分岐命令の分岐方向及び分岐先アドレスを含む分岐情報を登録し、分岐命令実行時は実行結果の分岐方向と該分岐命令に対応する分岐ヒストリテーブルの分岐方向を比較して分岐命令の予測が的中したか否かを調べ、分岐予測失敗時には正しい後続命令を取り出し実行を再開し、分岐情報を更新する手段をもつことにより条件分岐命令を含む分岐命令の分岐予測を可能とし分岐予測的中時は、パイプライン制御における分岐命令の実行をロスサイクルなしで処理できるといふ多大な効果がある。

図面の簡単な説明

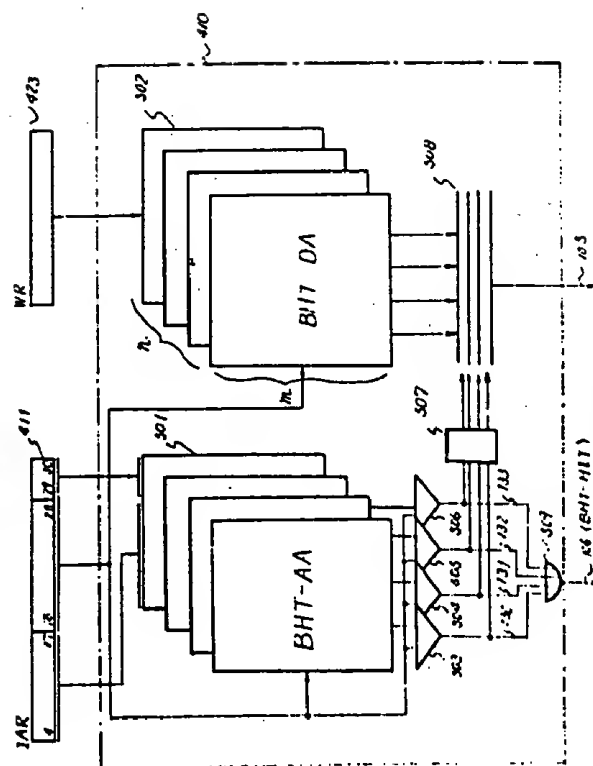
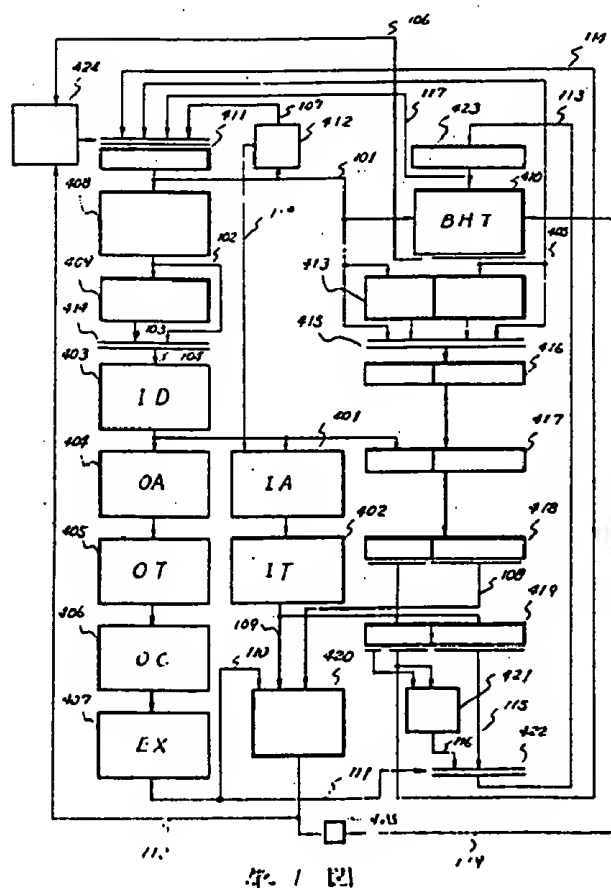
第1図は本発明の一実施例を示す図、第2図は分岐ヒストリテーブルの詳細な構成を示す図、第3図は第2図の記憶部501および601の記憶形式を示す図、第4図は第2図のテスト回路503-506の詳細な構成を示す図、第5図は命令部の

構成を示す図、第6図は第2図のプライオリティ回路507の詳細な構成を示す図、第7図は第1図のレジスタ417-419の格納形式を示す図、第8図は第1図の予測確認回路420の詳細な構成を示す図、第9図は第1図の命令記憶回路408における命令と分岐ヒストリテーブル410における分岐情報との対応関係を説明するための図、第10図は第9図のテーブル410による命令先取り動作を説明するための図、第11図は予測失敗時における命令先取り動作開始までの動作を説明するための図、第12図は第1図の命令先取り制御回路の詳細な構成を示す図、第13図は、命令の処理の流れの概要を示す図、第14図および第15図は従来の予測方式を用いた命令の処理の流れを示す図、第16図は本発明において、分岐命令の予測が的中したときの命令の処理の流れを示す図、および第17図は本発明において分岐命令の予測が失敗したときの命令の処理の流れを示す図である。

第1図から第17図において、401……命令ア

ドレス生成回路 402……命令アドレス変換回路
 403……命令解説回路 404……オペランドアド
 レス生成回路 405……オペランドアドレス変換
 回路 406……オペランド読出し回路 407……
 命令実行回路 408……命令記憶回路 409……
 命令バッファ 410……分岐ヒストリテーブル
 (BHIT) 411……命令アドレスレジスタ(IAR)
 412……命令アドレス加算回路 413……分岐情
 報バッファ 414……命令登列回路 415……分
 岐情報切換回路 416……分岐情報レジスタ(QR0)
 417……分岐情報レジスタ(QR1) 418……分
 岐情報レジスタ(QR2) 419……分岐情報レジ
 スタ(QR3) 420……予測確認回路 421……
 アドレス生成回路 422……選択回路 423……
 レジスタ(WR) 424……命令先取り制御回路
 425……フリップフロップ 501、502……記憶
 部 503、504、505、506……テスト回路
 507……プライオリティ回路 508……選択回路
 509……オフ回路。

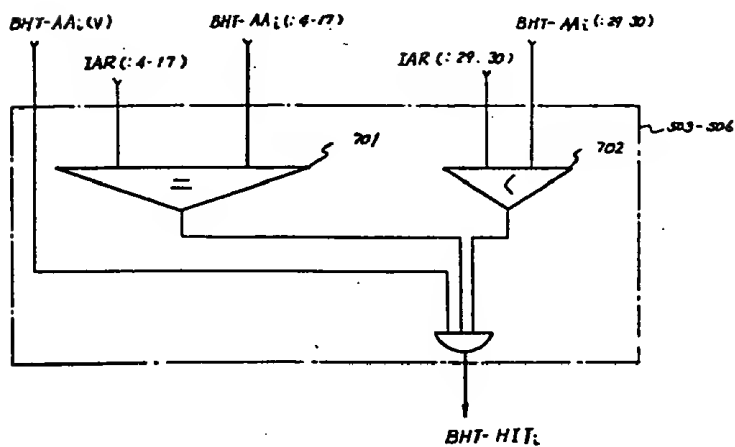
代理人 井原士 内 原 晋



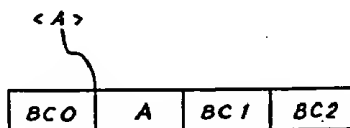
第 2 図



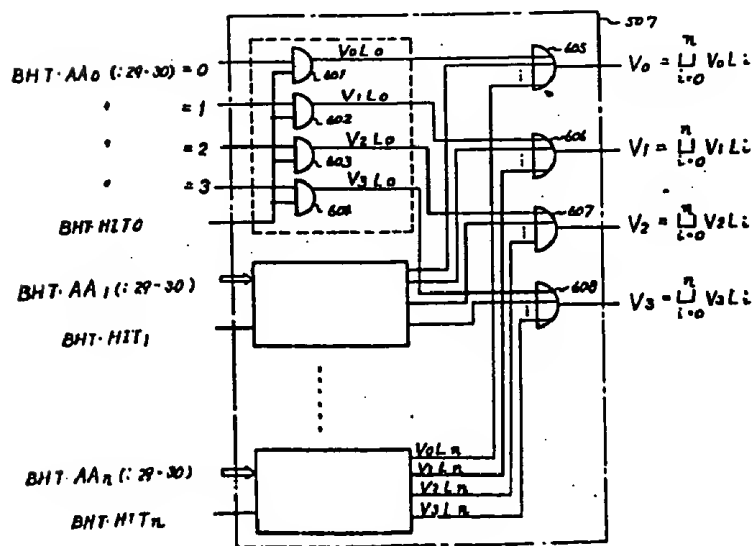
第3図



第4図



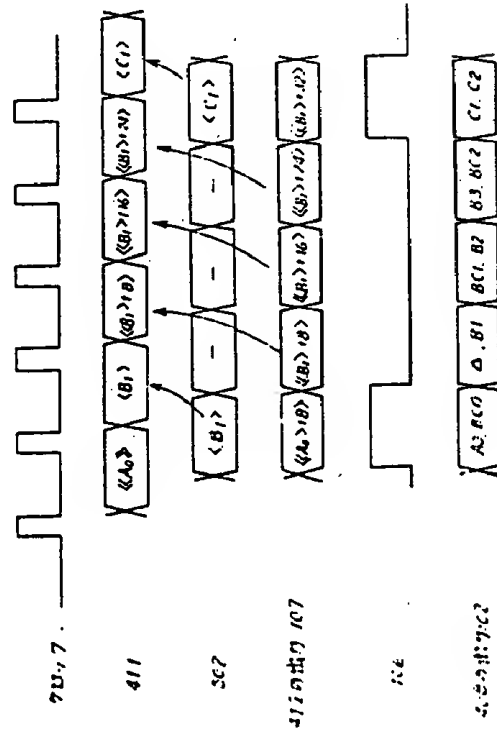
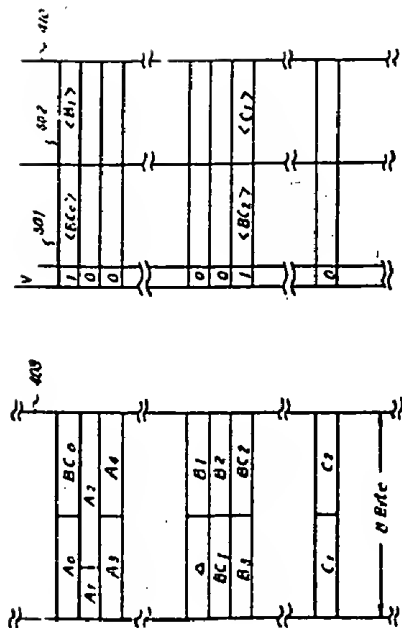
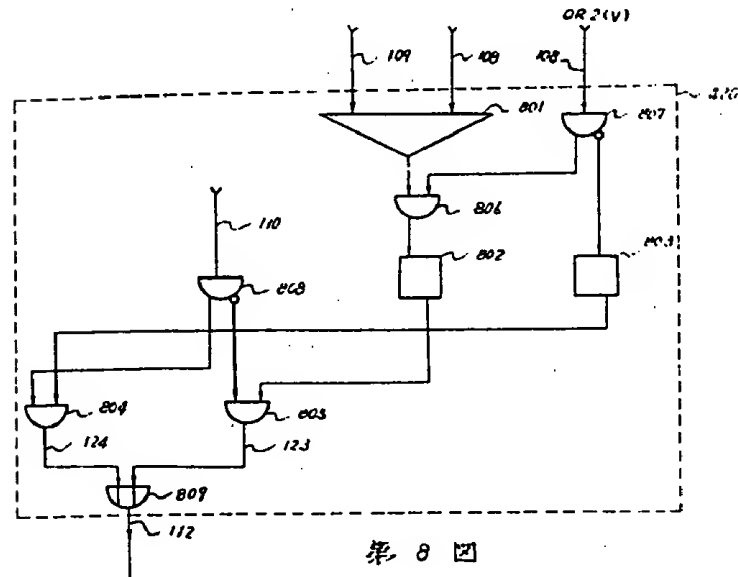
第5図

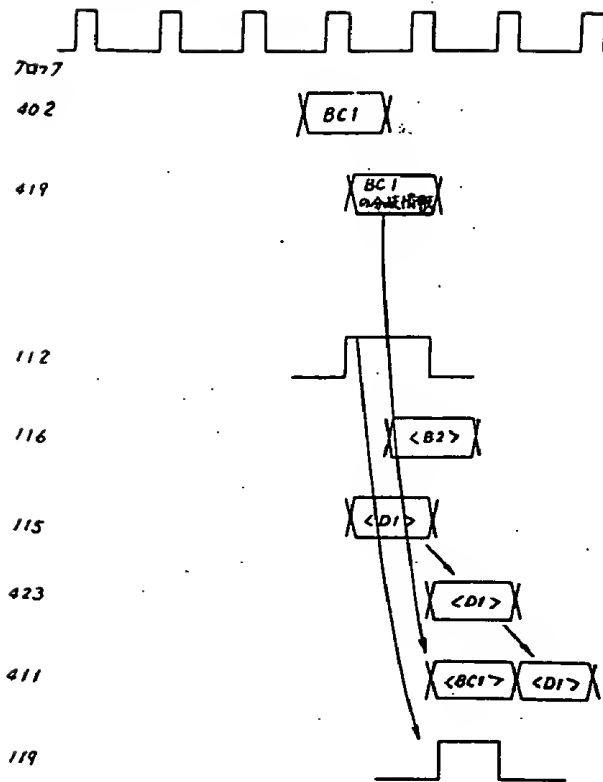


第6図

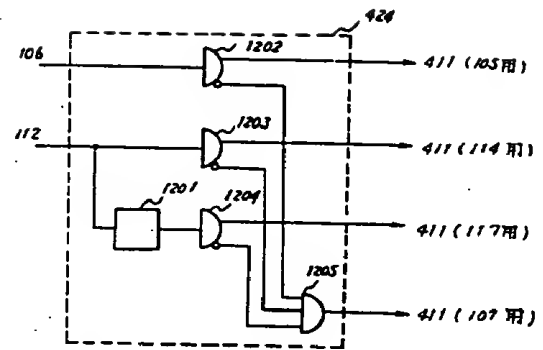
命令語	命令アドレス	分岐先 アドレス	V
-----	--------	----------	---

第 7 回

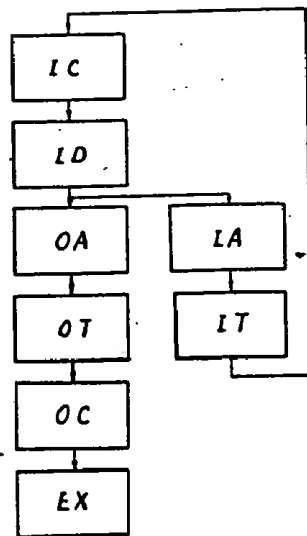




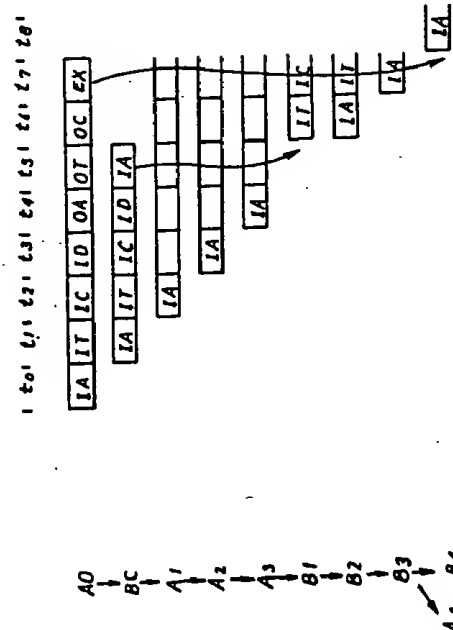
第 11 回



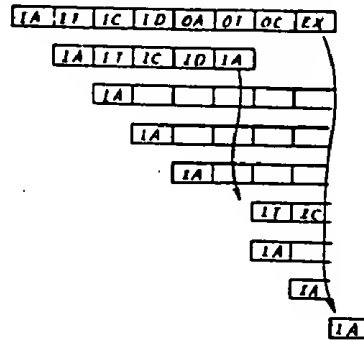
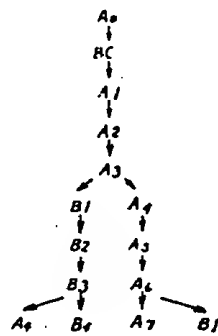
第 12 圖



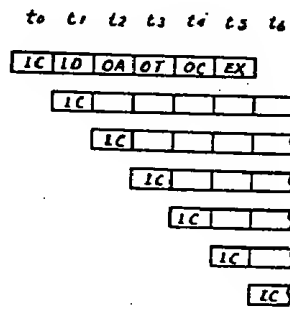
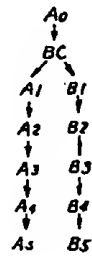
第13圖



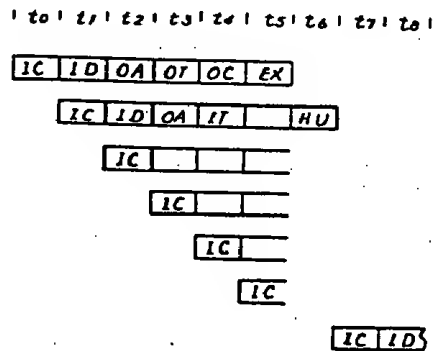
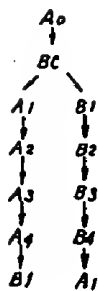
第14回



第 15 图



第 16 图



第 17 图